

PAT-NO: JP411053296A

DOCUMENT-IDENTIFIER: JP 11053296 A

TITLE: DATA OUTPUT SYNCHRONOUS CLOCK GENERATOR

PUBN-DATE: February 26, 1999

INVENTOR-INFORMATION:

NAME

HIGUCHI, HIDEKAZU

MAESAKO, ISATO

INT-CL (IPC): G06F013/16, G06F001/04 , G06F013/42 , G11C011/407 ,  
H04L007/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a data output synchronous clock generator which supplies a clock that has a little attenuation of a signal and is synchronized with many devices.

SOLUTION: A data clock which is generated by an synchronous DRAM device 14d that is arranged at the farthest end from a memory controller 12 is synchronizes with a command clock that is sent from a clock generator 11 to a command clock signal line 21a and is supplied front an output pin 22d to synchronous DRAM devices 14a to 14d through a data clock outputting signal line 23a. Data which are outputted from each of the devices 14a to 14d are synchronized with the data clock, transmitted through a data bus 25 from data input-output lines 24a to 24d in the same direction of the data clock and sent to the controller 12.

COPYRIGHT: (C)1999,JPO

----- KWIC -----

Document Identifier - DID (1):  
JP 11053296 A

Inventor Name ( Derived ) - INZZ (1):  
HIGUCHI, HIDEKAZU

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-53296

(43)公開日 平成11年(1999)2月26日

(51)IntCl <sup>9</sup>	識別記号	F I
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16
1/04		1/04
13/42	3 4 0	13/42
G 1 1 C 11/407		H 0 4 L 7/00
H 0 4 L 7/00		G 1 1 C 11/34
		3 6 2 S
		審査請求 有 請求項の数4 OL (全 8 頁)

(21)出願番号 特願平9-205934

(22)出願日 平成9年(1997)7月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 樋口 英和

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 前迫 勇人

東京都港区芝五丁目7番1号 日本電気株式会社内

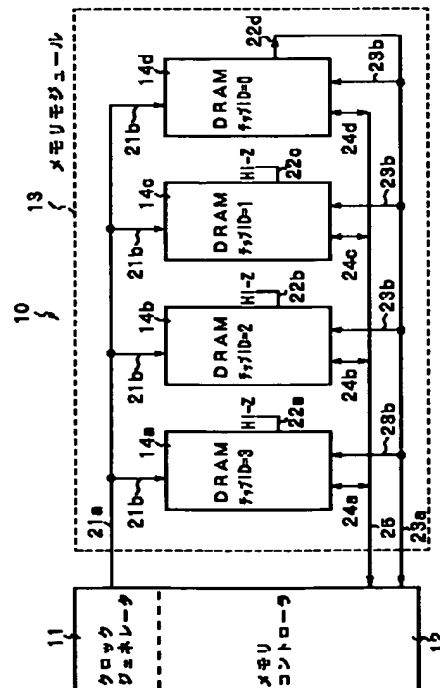
(74)代理人 弁理士 松浦 兼行

(54)【発明の名称】 データ出力同期クロック発生装置

(57)【要約】

【課題】 同期型バスシステムでは、クロック信号が1本でマスタデバイス及びスレイブデバイスの間を往復するため、クロック信号への負荷が増大するにつれてクロック信号復路での減衰が極端に大きくなる。

【解決手段】 クロックジェネレータ11からコマンドクロック信号線21aに送られたコマンドクロックに同期して、メモリコントローラ12に対して最遠端に配置されている同期型DRAMデバイス14dにより発生されたデータクロックは、出力ピン22dよりデータクロック出力用信号線23aを介して同期型DRAMデバイス14a～14dに供給される。このデータクロックに同期して、同期型DRAMデバイス14a～14dの各々から出力されたデータは、データ入出力線24a～24dからデータバス25をデータクロックと同一方向に伝送されて、メモリコントローラ12へ送られる。



## 【特許請求の範囲】

【請求項1】 データバスに共通に接続されており、少なくともコマンドクロックに基づき前記データバス及びデータ入出力線を介して入力されたデータを書き込み、データクロックに基づき前記データ入出力線を介して前記データバスにデータを読み出す複数個の同期式のランダム・アクセス・メモリと、

前記コマンドクロックを発生して前記複数個のランダム・アクセス・メモリに供給すると共に、該コマンドクロックに同期したデータを発生して前記データバス及びデータ入出力線を介して前記複数個のランダム・アクセス・メモリに並列に供給するメモリコントローラと、前記複数個のランダム・アクセス・メモリのうち、前記メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリにより、前記コマンドクロックに同期して発生出力されたデータクロックを、前記メモリコントローラへ入力すると共に分岐して前記複数個のランダム・アクセス・メモリにそれぞれ入力し、該データクロックに同期して該複数個のランダム・アクセス・メモリから読み出されたデータを前記データ入出力線及びデータバスを介して出力させる制御手段とを有することを特徴とするデータ出力同期クロック発生装置。

【請求項2】 前記複数個のランダム・アクセス・メモリのうち、前記メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリは前記データクロックを出力するデータクロック出力ピンを有しており、前記複数個のランダム・アクセス・メモリのうち、残りのランダム・アクセス・メモリは、データクロック入力ピンを有しており、前記制御手段は、前記データクロック出力ピンから出力されたデータクロックをデータクロック入力用信号線を介して前記複数個のランダム・アクセス・メモリにそれぞれ供給し、前記データクロック入力ピンはそれぞれハイインピーダンスに設定することを特徴とする請求項1記載のデータ出力同期クロック発生装置。

【請求項3】 前記複数個のランダム・アクセス・メモリはそれぞれデータクロックの入出力ピンを有しており、前記制御手段は、前記複数個のランダム・アクセス・メモリのうち、前記メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリの前記データクロックの入出力ピンから出力したデータクロックを、残りのランダム・アクセス・メモリのデータクロックの入出力ピンに入力し、前記最遠端の位置に配置されたランダム・アクセス・メモリは自己がデータクロック入出力ピンへ出力する内部クロックを該データクロックとして用いることを特徴とする請求項1記載のデータ出力同期クロック発生装置。

【請求項4】 データバスに共通に接続されており、少なくともコマンドクロックに基づき前記データバス及びデータ入出力線を介して入力されたデータを書き込み、

データクロックに基づき前記データ入出力線を介して前記データバスにデータを読み出す複数個の同期式のランダム・アクセス・メモリと、

前記複数個のランダム・アクセス・メモリよりも、前記メモリコントローラに対して最遠端の位置に配置されたデータクロックジェネレータと、前記コマンドクロックを発生して前記複数個のランダム・アクセス・メモリとデータクロックジェネレータにそれぞれ供給すると共に、該コマンドクロックに同期したデータを発生して前記データバス及びデータ入出力線を介して前記複数個のランダム・アクセス・メモリに並列に供給するメモリコントローラと、

前記データクロックジェネレータにより、前記コマンドクロックに同期して発生出力されたデータクロックを、前記メモリコントローラへ入力すると共に分岐して前記複数個のランダム・アクセス・メモリにそれぞれ入力し、該データクロックに同期して該複数個のランダム・アクセス・メモリから読み出されたデータを前記データ入出力線及びデータバスを介して出力させる制御手段とを有することを特徴とするデータ出力同期クロック発生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はデータ出力同期クロック発生装置に係り、特に同期クロックとモジュールを有して書き込みと読み取りを行う半導体メモリに用いるデータ出力同期クロック発生装置に関する。

## 【0002】

【従来の技術】従来より、ダイナミック・ランダム・アクセス・メモリ(DRAM)を使用する同期型半導体記憶装置においては、高速動作のための様々な工夫がなされている。しかし、システムクロックが100MHz(10ns)以上を越える高速のシステムに対応するためには、従来のDRAM自身に対するアクセスタイムがネックとなってシステムの性能向上に支障をきたしている。その対応として、外部クロックに同期させる同期型半導体記憶装置があり、その中の一つとしてDRAMをモジュール化させる手段がある。

【0003】これは、複数のDRAMをモジュール化し、それらのDRAMをコントロールする回路を設け、そこから発生されるクロックにて複数のDRAMにアクセスし、任意のDRAMよりデータを得ることを繰り返すことにより、高速化を実現しようとするものである。

【0004】上記のモジュール化された同期型半導体記憶装置を有するシステムとして、従来図4に示す如き構成の同期型バスシステム100は、米国特許第5432823号明細書に開示されているもので、マスタデバイス102、スレーブデバイス104及びクロック信号源132を有する。

【0005】同期型バスシステム100は、クロックデータの遅延を無くすバスシステムになっており、各々のデバイス内部に同期したクロックが分配される。マスタデバイス102は、スレイブデバイス104とデータバス120を通じて接続されている。マスタデバイス102は、クロックラインの折り返し近くに置かれる。スレイブデバイス104は、高速DRAMであり、入出力(I/O)ポートを有している。

【0006】マスタデバイス102がアクセス情報を出力してデータ交換を始めると、スレイブデバイス104は上記のアクセス情報を受け、スレイブデバイス104の選択とアクセスの形式が決定される。一方、クロック供給システム130は、クロックとデータ信号間との間に起こるスキューを除去する仕組みを備えている。

【0007】クロック供給システム130は、クロック信号源132とクロック信号線134を含む。クロック信号源132はマスタデバイス102及びスレイブデバイス104の外部に設けられ、それらと独立している。クロック信号源132はクロック信号線134の末端に接続されている。クロック信号線134は、同期型バスシステム100上のすべてのデバイスにクロック信号源132で発生したクロックを送る。クロック信号線134は、データバス120の終端から始まり、ポイント137までの第1の構成要素136と、ポイント137から始まりデータバス120の終端に向かう第2の構成要素138の、2つの構成要素からなる。

【0008】クロック信号がクロック信号源132より第1の構成要素136を経由してマスタデバイス102に向かう。このときのクロック信号は、データ信号がスレイブデバイス104からマスタデバイス102へ送られる方向と同じ方向に伝送される。マスタデバイス102は第1の構成要素136を経由してきたクロック信号を使い、このクロック信号に同期されてデータバス120に送られたデータを受ける。

【0009】次に、クロック信号がポイント137より第2の構成要素138を経由してデータバス120の向きと逆方向へ向かう。データ信号はマスタデバイス102からスレイブデバイス104へ方向に伝送される。スレイブデバイス104は、第2の構成要素138を経由したクロック信号を受け取る。その構成要素138からのクロック信号が活性中に、スレイブデバイス104はマスタデバイス102からスレイブデバイス104方向へのデータ信号を受ける。

【0010】

【発明が解決しようとする課題】上記の同期型バスシステム100では、クロック信号が1本でマスタデバイス102及びスレイブデバイス104の間を往復するため、クロック信号への負荷が増大するにつれてクロック信号復路での減衰が極端に大きくなり、そのために多モジュールを有するデバイスシステムの構成には向いてい

ない。

【0011】本発明は上記の点に鑑みなされたもので、信号の減衰少なく多くのデバイスにデータに同期したクロックを供給し得るデータ出力同期クロック発生装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記の目的を達成するため、データバスに共通に接続されており、少なくともコマンドクロックに基づきデータバス及びデータ入出力線を介して入力されたデータを書き込み、データクロックに基づきデータ入出力線を介してデータバスにデータを読み出す複数の同期式のランダム・アクセス・メモリと、コマンドクロックを発生して複数のランダム・アクセス・メモリに供給すると共に、コマンドクロックに同期したデータを発生してデータバス及びデータ入出力線を介して複数のランダム・アクセス・メモリに並列に供給するメモリコントローラと、複数のランダム・アクセス・メモリのうち、メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリにより、コマンドクロックに同期して発生出力されたデータクロックを、メモリコントローラへ入力すると共に分岐して複数のランダム・アクセス・メモリにそれぞれ入力し、データクロックに同期して複数のランダム・アクセス・メモリから読み出されたデータをデータ入出力線及びデータバスを介して出力させる制御手段とを有する構成としたものである。

【0013】この発明では、複数のランダム・アクセス・メモリのうち、メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリにより、コマンドクロックに同期して発生出力されたデータクロックを、複数のランダム・アクセス・メモリにそれぞれ入力し、データクロックに同期して複数のランダム・アクセス・メモリからデータを読み出してメモリコントローラへ送るようにしたため、従来装置のようなクロックラインの折り返しがなく、データクロックの配線長を従来の約1/2にすることができる。

【0014】また、本発明は、上記の複数の同期式のランダム・アクセス・メモリよりも、メモリコントローラに対して最遠端の位置にデータクロックジェネレータを配置し、データクロックジェネレータによりコマンドクロックに同期して発生出力されたデータクロックを、メモリコントローラへ入力すると共に分岐して複数のランダム・アクセス・メモリにそれぞれ入力し、データクロックに同期して複数のランダム・アクセス・メモリから読み出されたデータをデータ入出力線及びデータバスを介して出力させるようにしたものである。

【0015】この発明も、データクロックジェネレータにより、コマンドクロックに同期して発生出力されたデータクロックを、複数のランダム・アクセス・メモリにそれぞれ入力し、データクロックに同期して複数の

ランダム・アクセス・メモリからデータを読み出してメモリコントローラへ送るようにしたため、従来装置のようなクロックラインの折り返しがなく、データクロックの配線長を従来の約1/2にすることができる。

【0016】

【発明の実施の形態】次に、本発明の各実施の形態について図面と共に説明する。図1は本発明になるデータ出力同期クロック発生装置の第1の実施の形態のブロック図を示す。この実施の形態のデータ出力同期クロック発生装置10は、クロックを発生するクロックジェネレータ11を有するメモリコントローラ12と、メモリモジュール13とからなる。

【0017】メモリモジュール13は、チップIDを有する同期型DRAMデバイス14a、14b、14c及び14dと、クロックジェネレータ11からのクロックを出力するためのコマンドクロック信号線21aと、コマンドクロック信号線21a上のクロックを同期型DRAMデバイス14a、14b、14c及び14dに入力するためのコマンドクロック入力線21bと、メモリコントローラ12に対して最遠端に配置された、チップIDが0である同期型DRAMデバイス14dのデータクロック出力ピン22dから出力されるデータクロックを、メモリコントローラ12へ伝送する出力用信号線23aと、出力用信号線23a上のデータクロックを同期型DRAMデバイス14a、14b、14c及び14dに入力するためのデータクロック入力線23bと、同期型DRAMデバイス14a、14b及び14cのデータクロック入力ピン22a、22b及び22cと、メモリコントローラ12と同期型DRAMデバイス14a、14b、14c及び14d間でデータのやり取りを行うためのデータ入出力線24a、24b、24c及び24d並びにデータバス25からなる。

【0018】次に、このデータクロックの出力ピン22dとデータクロックの入力ピン22a、22b及び22cが異なるデータ出力同期クロック発生装置10の動作について説明する。クロックジェネレータ11からコマンドクロック信号線21aに送られたコマンドクロックに同期して、メモリコントローラ12から出力されたデータがデータバス25を通じてコマンドクロックと同一方向に伝送されて同期型DRAMデバイス14a、14b、14c及び14dに、データ入出力線24a、24b、24c及び24dを介して入力される。なお、上記のコマンドクロックは、コマンドクロック入力線21bを介して同期型DRAMデバイス14a、14b、14c及び14dに入力される。

【0019】また、クロックジェネレータ11からコマンドクロック信号線21aに送られたコマンドクロックに同期して、メモリコントローラ12に対して最遠端に配置されている同期型DRAMデバイス14dにより発生されたデータクロックは、出力ピン22dよりデータ

クロック出力用信号線23a上に出力される。このデータクロック出力用信号線23a上のデータクロックは、データクロック入力線23bよりメモリモジュール13上のすべての同期型DRAMデバイス14a、14b、14c及び14dに供給される。

【0020】このデータクロックに同期して、同期型DRAMデバイス14a、14b、14c及び14dの各々から出力されたデータは、データ入出力線24a、24b、24c及び24dからデータバス25をデータクロックと同一方向に伝送されて、メモリコントローラ12へ送られる。

【0021】なお、このとき供給されるデータクロックは、最遠端デバイスである同期型DRAM14dのみからであり、その他の同期型DRAM14a～14cのデータクロック出力ピン22a、22b及び22cについては、入出力を抑えるためにハイインピーダンスに設定されている。

【0022】かかる実施の形態によれば、メモリコントローラ12に対して最遠端に配置されている同期型DRAMデバイス14dにより発生されたデータクロックを、メモリモジュール13上のすべての同期型DRAMデバイス14a、14b、14c及び14dに供給し、このデータクロックに同期して同期型DRAMデバイス14a、14b、14c及び14dから読み出したデータをメモリコントローラ12に送るようにしているため、データクロック出力用信号線23aの配線長をクロックラインの折り返しのある従来装置に比べて約1/2に抑えることができ、よって、信号の減衰を小さく抑えることができる。

【0023】次に、本発明の第2の実施の形態について説明する。図2は本発明になるデータ出力同期クロック発生装置の第2の実施の形態のブロック図を示す。この実施の形態のデータ出力同期クロック発生装置40は、クロックを発生するクロックジェネレータ41を有するメモリコントローラ42と、メモリモジュール43とからなる。

【0024】メモリモジュール43は、チップIDを有する同期型DRAMデバイス44a、44b、44c及び44dと、クロックジェネレータ41からのクロックを出力するためのコマンドクロック信号線51aと、コマンドクロック信号線51a上のクロックを同期型DRAMデバイス44a、44b、44c及び44dに入力するためのコマンドクロック入力線51bと、メモリコントローラ42に対して最遠端に配置された同期型DRAMデバイス14dのデータクロック入出力ピン52dから出力されるデータクロックをメモリコントローラ42へ伝送する出力用信号線53aと、出力用信号線53a上のデータクロックを同期型DRAMデバイス44a、44b、44c及び44dに入力するためのデータクロック入力線53bと、同期型DRAMデバイス44

a、44b及び44cのデータクロック入出力ピン52a、52b及び52cと、メモリコントローラ42と同期型DRAMデバイス44a、44b、44c及び44d間でデータのやり取りを行うためのデータ入出力線54a、54b、54c及び54d並びにデータバス55からなる。

【0025】次に、このデータクロックの出力ピン52dとデータクロックの入力ピン52a、52b及び52cが共通なデータ出力同期クロック発生装置40の動作について説明する。クロックジェネレータ41からコマンドクロック信号線51aに送られたコマンドクロックに同期して、メモリコントローラ42から出力されたデータがデータバス55を通じてコマンドクロックと同一方向に伝送されて同期型DRAMデバイス44a、44b、44c及び44dに、データ入出力線54a、54b、54c及び54dを介して入力される。なお、上記のコマンドクロックは、コマンドクロック入力線51bを介して同期型DRAMデバイス44a、44b、44c及び44dに入力される。

【0026】また、クロックジェネレータ41からコマンドクロック信号線51aに送られたコマンドクロックに同期して、メモリコントローラ42に対して最遠端に配置されている同期型DRAMデバイス44dにより発生されたデータクロックは、入出力ピン52dよりデータクロック出力用信号線53a上に出力される。このデータクロック出力用信号線53a上のデータクロックは、データクロック入力線53bよりメモリモジュール43上の入出力ピン52a、52b、52cを介して同期型DRAMデバイス44a、44b、44cに供給される。

【0027】このデータクロックに同期して、同期型DRAMデバイス44a、44b、44c及び44dの各々から出力されたデータは、データ入出力線54a、54b、54c及び54dからデータバス55をデータクロックと同一方向に伝送されて、メモリコントローラ42へ送られる。

【0028】なお、このとき最遠端デバイスである同期型DRAMデバイス14dの入出力ピン52dはデータクロック出力用ピンとして機能し、同期型DRAMデバイス14dではデータクロックは内部にて受け渡しを行う。そのために、最遠端の同期型DRAMデバイス44dにおいては、デバイス44d自身で調整された内部クロックを用いることになる。この第2の実施の形態も第1の実施の形態と同様の効果を奏する。

【0029】前記の第1の実施の形態とこの第2の実施の形態との違いは、第1の実施の形態では、同期型DRAMデバイスのデータクロックの入力ピンと出力ピンを別々に設け、データクロック出力ピンは最遠端の同期型DRAMデバイス(図1の14d)のみ使用し、他の同期型DRAMデバイス(図1の14a~14c)のデー

タクロック出力ピンはそれぞれハイインピーダンスに設定しているのに対し、第2の実施の形態では、すべての同期型DRAMデバイスの入出力ピンを共通にして、最遠端の同期型DRAMデバイス(図2の44d)のみデータクロックを外部から入出力ピンを介して入力するのではなく、内部にて調整させている点である。

【0030】このため、第2の実施の形態では、内部で調整回路を設ける必要があり、その分回路面積が増える。一方、第1の実施の形態ではデバイスとしては第2の実施の形態のような調整回路は必要ないが、ピン数が多くなると最遠端デバイス以外でデータクロック出力ピンをハイインピーダンスに固定するためのモジュールへの工夫が必要である。

【0031】次に、本発明の第3の実施の形態について説明する。図3は本発明になるデータ出力同期クロック発生装置の第3の実施の形態のブロック図を示す。この実施の形態のデータ出力同期クロック発生装置70は、クロックを発生するクロックジェネレータ71を有するメモリコントローラ72と、メモリモジュール73とからなる。

【0032】メモリモジュール73は、同期型DRAMデバイス74a、74b、74c及び74dと、メモリコントローラ72に対して最遠端位置に配置されたデータクロックジェネレータ75と、クロックジェネレータ71からのクロックを出力するためのコマンドクロック信号線81aと、コマンドクロック信号線81a上のクロックを同期型DRAMデバイス74a、74b、74c及び74dに入力するためのコマンドクロック入力線81bと、データクロックジェネレータ75のデータクロック出力ピン82と、データクロック出力ピン82から出力されるデータクロックをメモリコントローラ72へ伝送する出力用信号線83aと、出力用信号線83a上のデータクロックを同期型DRAMデバイス74a、74b、74c及び74dに入力するためのデータクロック入力線83bと、同期型DRAMデバイス74a、74b、74c及び74dのデータクロック入力ピン84a、84b、84c及び84dと、メモリコントローラ72と同期型DRAMデバイス74a、74b、74c及び74d間でデータのやり取りを行うためのデータ入出力線85a、85b、85c及び85d並びにデータバス86からなる。

【0033】次に、このデータ出力同期クロック発生装置70の動作について説明する。クロックジェネレータ71からコマンドクロック信号線81aに送られたコマンドクロックに同期して、メモリコントローラ72から出力されたデータがデータバス86を通じてコマンドクロックと同一方向に伝送されて同期型DRAMデバイス74a、74b、74c及び74dに、データ入出力線85a、85b、85c及び85dを介して入力される。なお、上記のコマンドクロックは、コマンドクロック

ク入力線81bを介して同期型DRAMデバイス74a、74b、74c及び74dにされ、また、データクロックジェネレータ75にされる。

【0034】データクロックジェネレータ75は、位相同期ループ(PLL)回路あるいはバッファ回路から構成されており、上記のコマンドクロックがされると、コマンドクロックに同期したデータクロックを生成し、そのデータクロックをデータクロック出力ピン82を介してデータクロック出力用信号線83aへする。この出力用信号線83a上のデータクロックは、他のデバイスのデータクロック入力用信号線83bを介してデータクロック入力ピン82a、82b、82c及び82dよりメモリモジュール73上のすべての同期型DRAMデバイス74a、74b、74c及び74dに並列に供給される。

【0035】同期型DRAMデバイス74a、74b、74c及び74dは、されたデータクロックに同期してデータを出力する。このデータは、データ入出力線85a、85b、85c及び85dからデータバス86をデータクロックと同一方向に伝送されて、メモリコントローラ72へ送られる。

【0036】かかる実施の形態によれば、メモリコントローラ72に対して最遠端に配置されているデータクロックジェネレータ75により発生されたデータクロックを、メモリモジュール73上のすべての同期型DRAMデバイス74a、74b、74c及び74dに供給し、このデータクロックに同期して同期型DRAMデバイス74a、74b、74c及び74dから読み出したデータをメモリコントローラ72に送るようにしているため、データクロック出力用信号線83aの配線長をクロックラインの折り返しのある従来装置に比べて約1/2に抑えることができ、よって、信号の減衰を小さく抑えることができる。

【0037】

【発明の効果】以上説明したように、本発明によれば、複数のランダム・アクセス・メモリのうち、メモリコントローラに対して最遠端の位置に配置されたランダム・アクセス・メモリ又はデータクロックジェネレータにより、コマンドクロックに同期して発生出力されたデータクロックを、複数のランダム・アクセス・メモリにそれぞれし、データクロックに同期して複数のランダム・アクセス・メモリからデータを読み出してメモリコントローラへ送ることにより、従来装置のようなクロックラインの折り返しをなくしたため、データクロックの配線長を従来の約1/2にすることができ、よって、クロック信号の減衰が従来に比べて少なく、従来に比し多くのデバイスを有するメモリモジュールに適用できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のブロック図である。

【図2】本発明の第2の実施の形態のブロック図である。

【図3】本発明の第3の実施の形態のブロック図である。

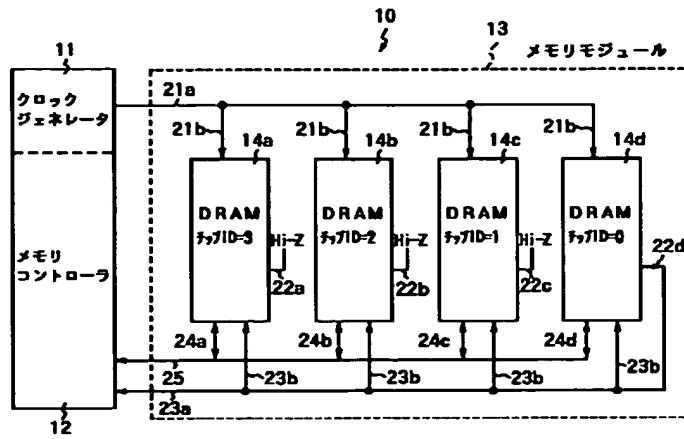
【図4】従来の一例のブロック図である。

【符号の説明】

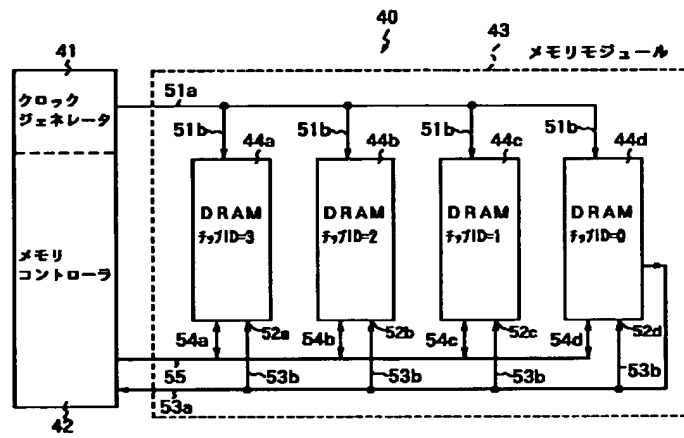
10、40、70 データ出力同期クロック発生装置  
11、41、71 クロックジェネレータ  
12、42、72 メモリコントローラ  
13、43、73 メモリモジュール  
14a~14d、44a~44d、74a~74d 同期型ダイナミック・ランダム・アクセス・メモリ(DRAM)  
21a、51a、81a コマンドクロック信号線  
21b、51b、81b コマンドクロック入力線  
22a、22b、22c データクロック入力ピン  
22d データクロック出力ピン  
23a、53a、83a データクロック出力信号線  
23b、53b、83b データクロック入力信号線  
24a~24d、54a~54d、85a~85d データ入出力線  
25、55、86 データバス  
52a~52d データクロック入出力ピン  
75 データクロックジェネレータ  
82 データクロック出力ピン  
84a~84d データクロック入力ピン



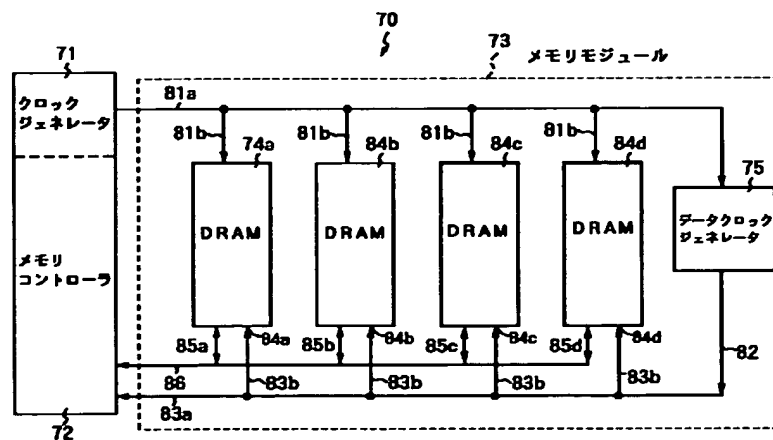
【図1】



【図2】



【図3】



【図4】

